
アナログ集積回路のシステムマテック最適化

高調波ミキサに基づく低位相雑音周波数シンセサイザ

飯塚 哲也

iizuka@vdec.u-tokyo.ac.jp

東京大学大学院工学系研究科 電気系工学専攻

May 21, 2026

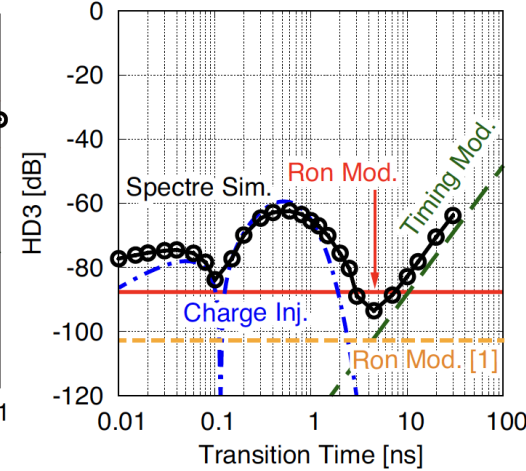
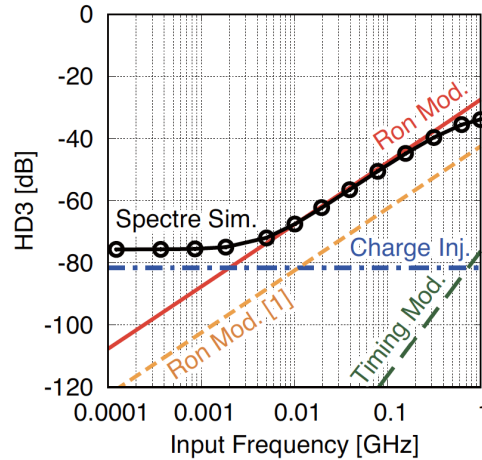
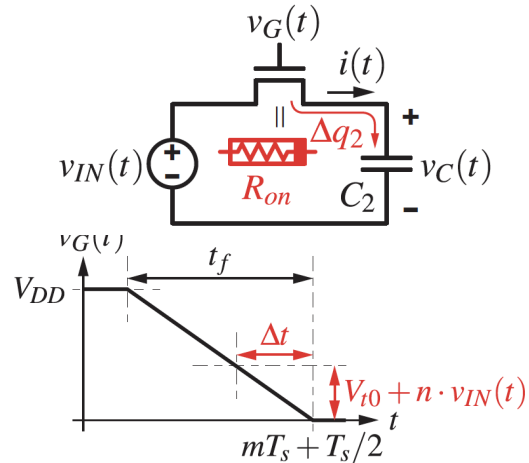
2018年度 一般研究助成
2024年度 学術賞 (功績賞)



T. Iizuka

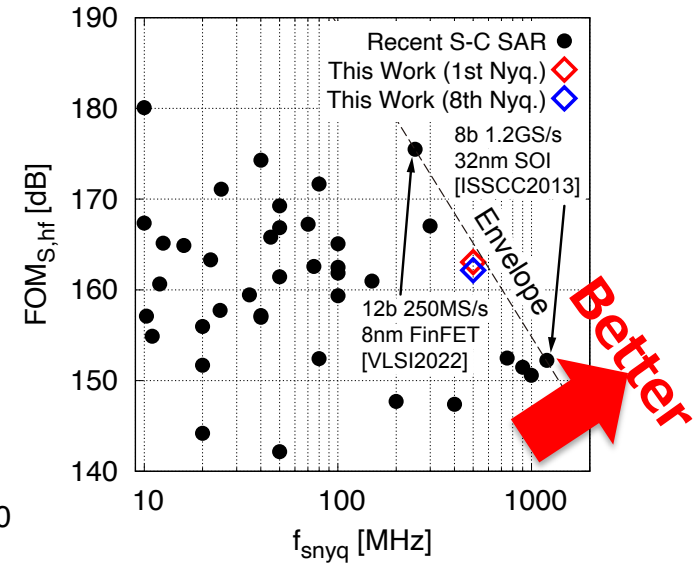
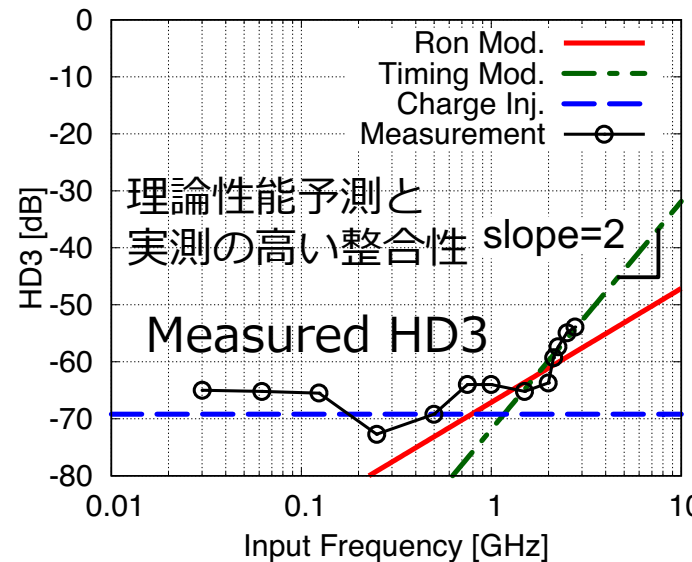
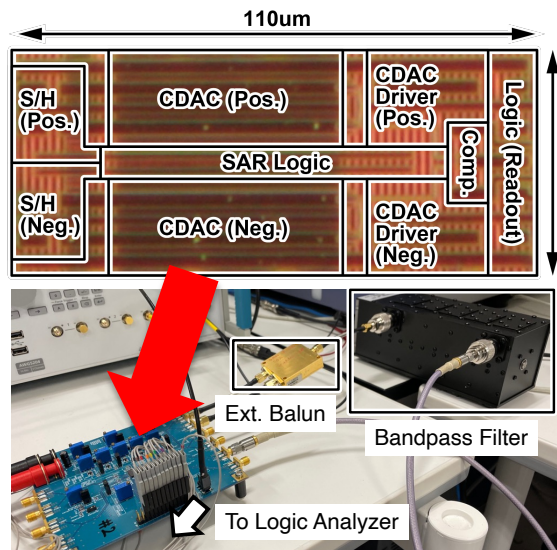


高速A/D変換回路(ADC)の最適設計手法



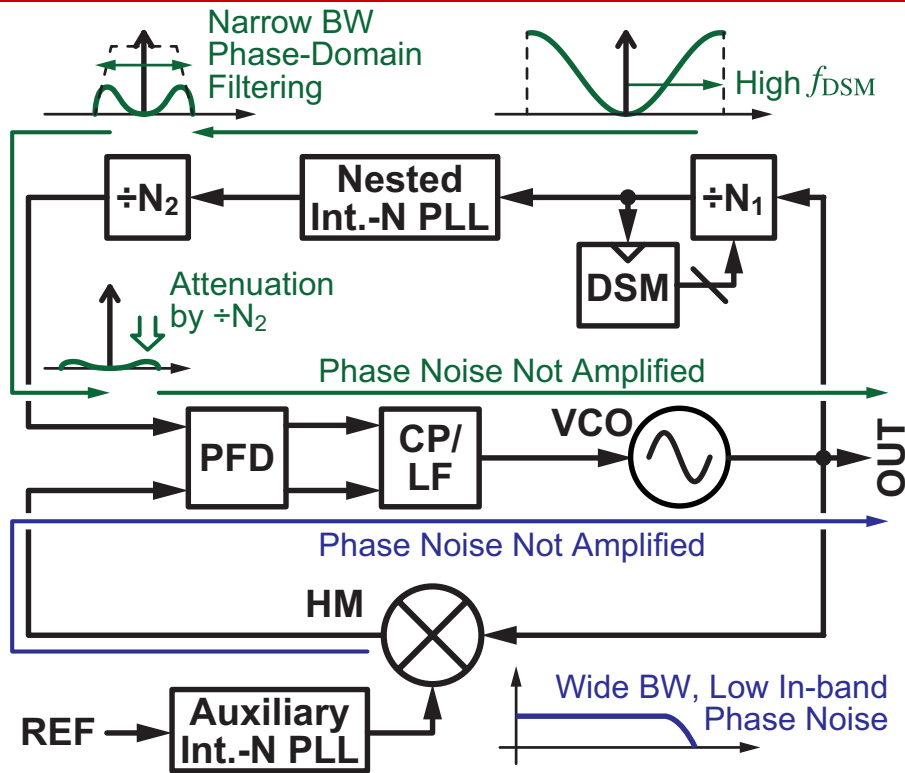
スイッチング回路の歪み性能に関して正確な解析モデルを構築し最適化設計指針を確立

複雑な設計パラメータ依存性を正確に表現可能!



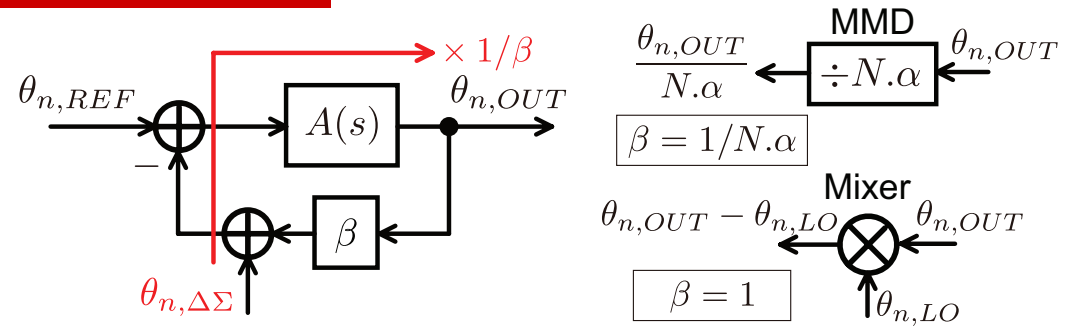
□ 理論解析に基づく最適設計によりFoM (Figure-of-Merit) 163.1dBの性能を達成

低雑音位相同期回路(PLL)技術

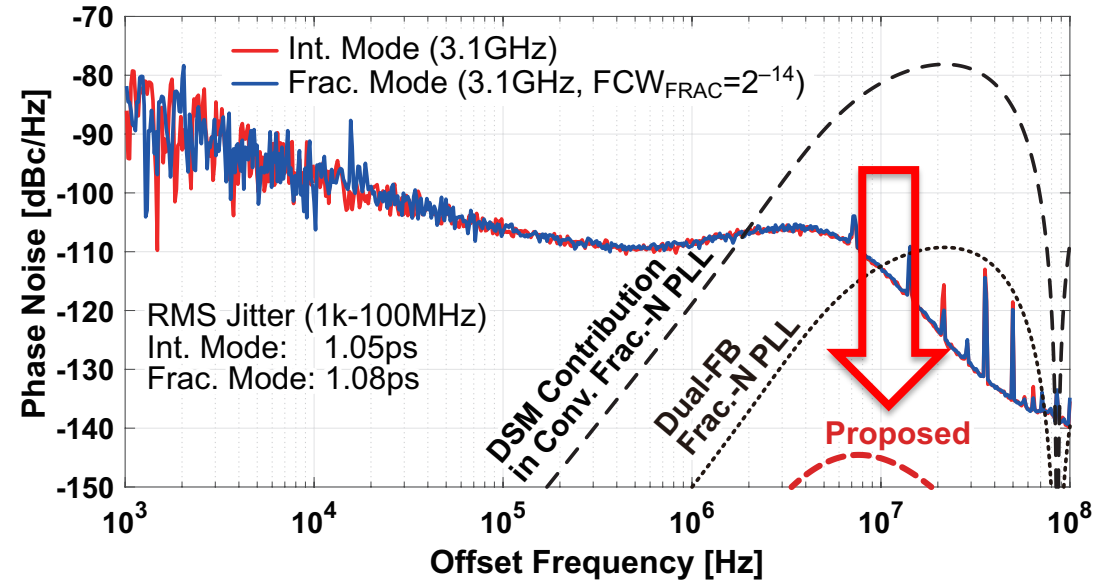


複数ループ構造による雑音フィルタリング

- リング型発振器による補正不要な位相同期回路として低雑音性能を実現



ミキサによるフィードバックによりDCゲインが 1
→ 入力からのノイズ増幅が無い



量子化雑音を大幅に抑制し低雑音